

# PATENT ABSTRACTS OF JAPAN

Publication number : 2003-091504  
(43) Date of publication of application : 31.03.2000

(51) Int. Cl.

H01L 27/04  
H01L 21/822

(21) Application number : 10-279305

(71) Applicant : NEC IC MICROCOMPUT SYST LTD

(22) Date of filing : 16.09.1998

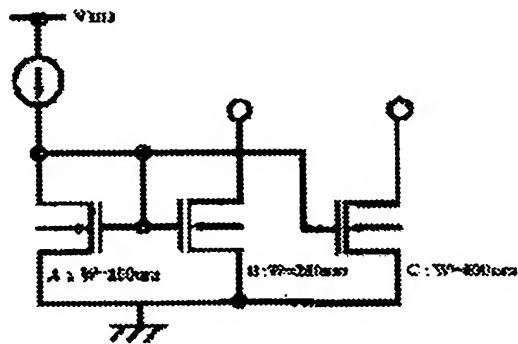
(72) Inventor : KATO HIROYUKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND LAYOUT METHOD THEREOF

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To design a layout pattern, in which relative accuracy is maintained in a short TAT by dividing elements, in which relative accuracy is required, in a semiconductor integrated circuit, and symmetrically arranging the divided elements to center around a certain one point in response to a relative precision ratio.

**SOLUTION:** In a current mirror circuit, transistors A, B, C are disposed relatively, centering around a certain one point on a layout. Only one element after division is arranged at the center, and other elements are disposed bilaterally in a lateral one row on both sides at the time of one element, in which a relative ratio is an odd number. The size of the divided elements is halved and only one element after division is disposed at the center, and other elements are arranged symmetrically in the lateral one row, on both sides or disposed in the lateral one row so that the small elements in total width are placed on the insides when two or more of the elements, in which relative ratios are all odd number. The small elements in total width are arranged in the lateral one row so that the elements are placed on the insides for the elements, when all relative ratios are even numbers. Accordingly, the relative accuracy of the elements required for circuit characteristics can be ensured.



### LEGAL STATUS

[Date of request for examination] 16.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3001533

[Date of registration] 12.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 12.11.2002

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-91504

(P2000-91504A)

(43)公開日 平成12年3月31日 (2000.3.31)

(51)Int.Cl'

H 01 L 27/04  
21/822

識別記号

F I

H 01 L 27/04

マークコード(参考)

A 5 F 0 3 8

審査請求 有 請求項の数6 FD (全11頁)

(21)出願番号 特願平10-279305

(22)出願日 平成10年9月16日 (1998.9.16)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会  
社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 加藤 弘之

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74)代理人 100097113

弁理士 堀 城之

Fターム(参考) 5F038 CA02 CA06 CA17 CA18 CD02  
DF01 DF12 EZ20

(54)【発明の名称】 半導体集積回路及びそのレイアウト方法

(57)【要約】

【課題】 相対精度を維持したレイアウトパターンを短  
T A Tで設計する。

【解決手段】 相対精度が必要な素子を複数に分割して  
トランジスタA, B, Cとし、これら分割した素子を、  
相対比に応じてある1点を中心に対称に配置し、配線を  
含むレイアウトパターンをアレイする。



## 【特許請求の範囲】

【請求項1】 相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置してなることを特徴とする半導体集積回路。

【請求項2】 前記相対比が奇数となる素子が一つの場合、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置してなることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記相対比が奇数となる素子が二つ以上の場合、分割素子のサイズを1/2にして、前記分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置するか、あるいはトータルの幅の小さい素子が内側となるように横一列に配置してなることを特徴とする請求項1に記載の半導体集積回路。

【請求項4】 前記相対比が全て偶数の素子の場合、トータルの幅の小さい素子が内側となるように横一列に配置してなることを特徴とする請求項1に記載の半導体集積回路。

【請求項5】 相対精度素子の最大分割サイズを算出する第1の工程と、制限した分割最小サイズとの比較を行う工程と、相対比を3つのケースに基づいて識別した後、分割素子を横一列に配置する第2の工程と、前記分割素子が配置領域内に入るか否かを判定する第3の工程と、前記分割素子が配置領域内に入らない場合、前記分割素子をさらに分割し、縦方向の段数を増やして配置する第4の工程と、同一となる配線を含むレイアウトパターンをブロック化してアレイした後、同一ノードの接続を行う第5の工程とを備えることを特徴とする半導体集積回路のレイアウト方法。

【請求項6】 前記3つのケースとは、相対比が奇数となる素子が一つの場合、相対比が奇数となる素子が二つ以上の場合、相対比が全て偶数となる素子の場合であることを特徴とする請求項5に記載の半導体集積回路のレイアウト方法。

【請求項7】 前記第3の工程には、配置する素子の向きがどちらでも良い場合、一列に配置した素子群の向きを90°回転して配置領域に入るか否か判定した後、素子の配置を行う工程が含まれることを特徴とする請求項5に記載の半導体集積回路のレイアウト方法。

【請求項8】 前記第5の工程には、レイアウトパターンを作成後、周囲に未使用である使用素子と同一サイズのダミー素子を追加する工程が含まれることを特徴とする請求項5に記載の半導体集積回路のレイアウト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路のレイアウトパターンを短TATで設計するようにした半導体集積回路及びそのレイアウト方法に関する。

## 【0002】

【従来の技術】 従来の半導体集積回路のレイアウト設計における配置配線は、素子の接続情報のみをもとに決定していた。このため、素子の配置位置を決定する要因は、配線長や配線の混雑度等、配線のみの考慮となっている。しかし、近年、コンピュータの性能は年々加速し、記憶装置等の周辺装置もますます高速かつ高密度化している。そのため、半導体集積回路はシリアルデータ等を用いた更なる高速化が要求されている。また、アナログデジタルの混在の規格が厳しい回路では、1%以内の相対精度が要求されている。特に、アナログ回路では、素子の特性により回路上の特性を得るような回路があるため、レイアウト設計において素子の精度を高める必要がある。一般的に知られているのが、アナログ回路におけるトランジスタのW(幅)の比によって各動作点に流れる電流を決めるカレントミラーリングである。

【0003】 従来の配線のみを考慮した設計手法では、これらの回路の相対精度を向上させることは困難である。これは、図12に示すように、ウェハー上の素子が配置位置によって異なるLの細りやWの食い込み等、ディメンジョンのバラツキ等があるためである。このバラツキは、ウェハー上でのゆらぎによるものであり、箇所によってバラツキの方向性が異なる。ただし、チップ上のさらに狭く限られた領域内におけるバラツキの方向性は一方向であり、かつバラツキの度合いは規則性をもっている。

【0004】 このような素子のバラツキを考慮した相対精度を確保する手法としては、たとえば特開平9-212532号公報に示される相対精度を確保する隣接配置手法や相対配置手法がある。この隣接配置手法は、狭い範囲の領域では素子のバラツキが小さいことを利用したものである。

【0005】 一方、相対配置手法とは、相対精度が必要な素子を分割し、ある1点を中心に対称に配置する方法である。この配置方法により、各トランジスタのバラツキが打ち消されるため、相対バラツキを抑えることができ、これら分割素子を複数個並列に接続することにより、回路設計サイズの素子を形成することができる。実際の相対配置方法は、配置領域内に必要数の素子を均等に配置し、人手でレイアウトパターンを考え、その後配線を行い、素子間を接続してトータルサイズを形成するものである。このとき、素子のアレイピッチを均一にすることによって、図13に示す製造工程におけるエッチングによる素子バラツキを抑えることができる。

## 【0006】

【発明が解決しようとする課題】 ところが、上述した前者の隣接配置手法では、回路特性を得るために、単体素子

については素子分割後、横一列に配置しなければならない。また、相対精度が必要な素子同士についても、単体素子の場合と同様に横一列に配置しなければならない等の制約があり、配置領域の縮小は困難である。素子サイズが大きい場合は、配置領域は大きくなり、隣接配置の効果は薄らぎ、精度の向上は図れない。また、素子同士の相対サイズの差異が大きい場合は、デッドスペースは大きくなってしまい、配線の混雑度にもバラツキができるてしまう。一方、後者の相対配置方法では、中央部と周辺部における配線の混雑度が異なる上、人手により設計を行うため、後戻りが多く、工数がかかってしまう。

【0007】本発明は、このような状況に鑑みてなされたものであり、相対精度を維持したレイアウトパターンを短TATで設計することができる半導体集積回路及びそのレイアウト方法を提供することができるようになるものである。

#### 【0008】

【課題を解決するための手段】請求項1に記載の半導体集積回路は、相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置してなることを特徴とする。また、相対比が奇数となる素子が一つの場合、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置するようにすることができる。また、相対比が奇数となる素子が二つ以上の場合、分割素子のサイズを $1/2$ にして、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置するか、あるいはトータルの幅の小さい素子が内側となるように横一列に配置するようにすることができる。また、相対比が全て偶数の素子の場合、トータルの幅の小さい素子が内側となるように横一列に配置するようになることができる。請求項5に記載の半導体集積回路のレイアウト方法は、相対精度素子の最大分割サイズを算出する第1の工程と、制限した分割最小サイズとの比較を行う工程と、相対比を3つのケースに基づいて識別した後、分割素子を横一列に配置する第2の工程と、分割素子が配置領域内に入るか否かを判定する第3の工程と、分割素子が配置領域内に入らない場合、分割素子をさらに分割し、縦方向の段数を増やして配置する第4の工程と、同一となる配線を含むレイアウトパターンをブロック化してアレイした後、同一ノードの接続を行う第5の工程とを備えることを特徴とする。また、3つのケースとは、相対比が奇数となる素子が一つの場合、相対比が奇数となる素子が二つ以上の場合、相対比が全て偶数となる素子の場合であるようにすることができる。また、第3の工程には、配置する素子の向きがどちらでも良い場合、一列に配置した素子群の向きを $90^\circ$ 回転して配置領域に入るか否か判定した後、素子の配置を行う工程が含まれるようにすることができる。また、第5の工程には、レイアウトパターンを作成後、周囲に未使用

である使用素子と同一サイズのダミー素子を追加する工程が含まれるようにすることができる。本発明に係る半導体集積回路及びそのレイアウト方法においては、相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置し、配線を含むレイアウトパターンをアレイする。

#### 【0009】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

(第1の実施の形態) 図1は、本発明の半導体集積回路をカレントミラー回路に適用した場合の第1の実施の形態を示す回路図、図2及び図3は、図1のカレントミラーレイアウト方法を説明するためのフローチャート、図4～図9は、そのレイアウト方法による素子の配置例を示す図である。

【0010】図1に示すカレントミラーレイアウトは、相対精度が必要な素子であるトランジスタA、B、Cをレイアウト上のある1点を中心に対称配置している。また、各トランジスタA、B、Cを相対配置するに際し、相対比が奇数となる素子が一つの場合、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置している。また、相対比が奇数となる素子が二つ以上の場合、分割素子のサイズを $1/2$ にして、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置するか、あるいはトータルの幅の小さい素子が内側となるように横一列に配置している。また、相対比が全て偶数の素子の場合、トータルの幅の小さい素子が内側となるように横一列に配置している。なお、ここでの相対比については後述する。

【0011】次に、各トランジスタA、B、Cのレイアウト方法について説明する。図2及び図3に示すフローチャートは、次の(a)～(d)に大別される。

- (a) 相対精度素子のサイズの最大分割サイズを算出し、設計者が決定した分割最小サイズとの比較を行う。
- (b) 相対比を識別し、3つのケースに分類して横一列に配置する。
- (c) あらかじめ制限した領域で配置できなかった場合、相対精度素子をさらに分割し、縦方向の段数を増やして配置する。
- (d) 図10、図11のSに示すように、同一となる配線を含むレイアウトパターンをBlock化し、横方向にアレイして、図11に示す実際のレイアウト図のように、同一ノードの接続を行う。

【0012】また、図2及び図3に示すフローチャートにおいて、各トランジスタのWは、A : B : C = 100 : 200 : 400と仮定する。

(ステップ101)：回路設計を行う。

(ステップ102)：回路情報の確認を行う。ここでは、相対精度が必要な素子である各トランジスタA、

B, Cのディメンションと素子間の接続の確認を行う。

(ステップ103)：配置領域を制限する。ここでは、設計者が相対精度の必要な素子群のレイアウト上の配置領域を決定する。たとえば、縦方向 $○○\mu m$ 以内、横方向 $○○\mu m$ 以内というように設定する。

(ステップ104)：素子を分割する際の分割最小サイズを決定する。すなわち、各トランジスタA, B, Cは、Wを分割しすぎるとWのバラツキの影響が大きくなるので、設計者がW方向の分割最小サイズを決める。ただし、素子の分割数は、多い方が相対精度素子群全体の形状の自由度が大きくなる。

【0013】(ステップ105)：相対精度素子のWサイズの最大公約数をとり、分割可能な素子サイズ、相対比を算出する。相対配置を行う素子の分割にあたり、分割可能な最大サイズと相対比を算出する。この例の場合、 $W = 100 \mu m$ 、相対比 $A : B : C = 1 : 2 : 4$ となる。

(ステップ106)：素子サイズと分割最小サイズとを比較する。ここでは、設計者が(ステップ104)で決定した分割最小サイズと(ステップ105)で算出した分割素子サイズとを比較する。そして、素子サイズが分割最小サイズより小さい場合、(ステップ107)へ移行し、素子サイズが分割最小サイズより大きい場合、(ステップ109)へ移行する。

(ステップ107)：分割最小サイズの制限を小さくできるか判断する。ここでは、(ステップ104)で決定した分割最小サイズを、小さくできるか判断する。小さくできると判断した場合、(ステップ104)へ移行し、小さくできないと判断した場合、(ステップ108)へ移行する。

【0014】(ステップ108)：相対比の再検討を行う。すなわち、(ステップ107)において、(ステップ104)で決定した分割最小サイズを小さくできなかった場合、相対精度が必要な素子サイズの再検討を行い、(ステップ101)の回路設計に戻る。

(ステップ109)：素子の分割を行う。すなわち、相対精度素子を、(ステップ105)で算出した素子サイズに分割する。

【0015】(ステップ110)：相対比の識別を行う。すなわち、相対比には以下の3つのケースがあり、これらを識別する。

① 相対比が奇数となる素子が一つの場合

② 相対比が奇数となる素子が二つ以上の場合

③ 相対比が全て偶数となる素子の場合

【0016】本実施の形態では、 $1 : 2 : 4$ なので①の場合の識別を行う。

(ステップ111)：相対比が奇数である素子が一つの場合(①の場合)、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置していく。すなわち、図4に示すように、トランジ

スタAをA-1として中心に配置し、トランジスタBをB-1, B-2に分割してA-1の両サイドに配置し、トランジスタCをC-1, C-2, C-3, C-4に分割してB-1, B-2のさらに外側に左右対称に配置する。また、図4～図7に示す分割素子の配置パターンにおいて、四角の一つ一つは分割されたトランジスタ単体であり、枠内のA, B, Cは、それぞれ図1のトランジスタA, B, Cと対応している。同一素子には、同一アルファベットを付している。アルファベットの後ろの数字は、分割後の番号である。

【0017】(ステップ112)：相対比が奇数である素子が二つ以上の場合(②の場合)、分割素子のサイズを $1/2$ にする。ここでは、仮に、図1のトランジスタA, B, CのWを $A : B : C = 100 : 300 : 500$ とした場合、基本 $W = 100 \mu m$ 、相対比が $1 : 3 : 5$ となる。このとき、基本 $W = 50 \mu m$  ( $W/2$ )、相対比を $2 : 6 : 10$ にし、(ステップ106)に戻る。

(ステップ113)：相対比が全て偶数の素子の場合(③の場合)、TOTALのWが小さい素子を内側になるよう横一列に配置する。すなわち、相対比が全て偶数の素子の場合、一度、(ステップ112)の工程を経た場合のみである。仮に、 $W = 100 \mu m$ 、相対比が $2 : 2 : 4$ の場合は、図5に示すように配置する。これは、分割数の少ない素子を遠隔配置すると、絶対精度が低下してしまうためであり、TOTALのWが小さい素子を内側になるよう横一列に配置する。

【0018】(ステップ114)：配置領域に入るか判断する。ここでは、(ステップ103)において制限した配置領域に入るか判断する。配置領域内に入ると判断した場合、(ステップ118)へ移行し、配置領域内に入らないと判断した場合、(ステップ115)へ移行する。

(ステップ115)：トランジスタのWを $1/2$ にし、段数を倍にし積み重ねて配置する。図6に示すように、トランジスタのWを $1/2$ にして、倍の段数に配置する。つまり、横一列の配置であったものは、2段に配置し、2段の配置であったものは、図7に示すように4段に配置する。

(ステップ116)：素子サイズと分割最小サイズとを比較する。ここでは、設計者が(ステップ104)で決定した分割最小サイズと、(ステップ115)で半分に分割した素子サイズとを比較する。素子サイズが分割最小サイズより小さい場合、(ステップ117)へ移行し、素子サイズが分割最小サイズより大きい場合、(ステップ114)へ移行する。

【0019】(ステップ117)：配置領域を増加させる。すなわち、(ステップ116)で比較した結果、設計者が(ステップ104)で決定した分割最小サイズより(ステップ115)で半分に分割した素子サイズが小さければ、設計者が制限した配置領域を増加させ、

(ステップ109)に戻る。

(ステップ118)：分割された素子を縦方向に配置する。すなわち、(ステップ114)で比較した結果、配置領域に入った場合、現時点における基本サイズのトランジスタを縦方向にアレイする。このとき、図10のレイアウトに示すように縦方向に隣接するトランジスタのソースもしくはドレインとなるFieldを共通にすることにより、縦方向の面積を縮小することができる。つまり、図7のSに示す縦方向に配列される素子のレイアウトパターンを作成することである。

【0020】(ステップ119)：配線を行う。ここでは、図10のレイアウトに示すように、トランジスタのソースもしくはドレインとなるFieldを配線によって一つおきに接続し、ゲートの接続を行う。

(ステップ120)：配線を含むレイアウトパターンをアレイする。ここでは、図11のレイアウトに示すように、図10の配線を含むレイアウトパターンを横方向にアレイする。

(ステップ121)：配線を行う。すなわち、(ステップ120)でアレイしたレイアウトパターンにおける同ノード(たとえば、トランジスタA, B, CのGateとトランジスタAのDrain)を素子の上部、もしくは下部で接続する。このように相対配置することによって、素子の相対バラツキを抑えることができ、相対精度を確保したレイアウトパターンを短TATで作成することができる。

【0021】このように、第1の実施の形態では、相対精度が必要な素子を複数に分割してトランジスタA, B, Cとし、これら分割した素子を、相対比に応じてある1点を中心に対称に配置し、配線を含むレイアウトパターンをアレイするようにした。これにより、回路特性上必要な素子の相対精度を確保できる。また、配線の混雑度を均一にできる。また、配置配線領域を整った矩形にすることができる。また、規則的にレイアウトパターン生成が行われることにより、配置配線の自動化が容易であり、開発期間の短縮を図ることができる。

【0022】(第2の実施の形態)(ステップ114)において、配置する素子の向きがどちらでも良い場合、一列に配置した素子群の向きを90°回転して配置領域に入るか判断した後、素子の配置を行う。

(第3の実施の形態)(ステップ115)において、Wを1/2とし、段数を倍に積み重ねて配置した場合について説明した。この方法では、1段、2段、4段、8段・・・という配置になるが、Wを基本サイズの1/3とし、3段に積み重ねて配置することもできる。また、Wを基本サイズの1/5とし、5段に積み重ねて配置することもできる。

【0023】(第4の実施の形態)図8に示すように、

フローに従ってレイアウトパターンを作成後、周囲に未使用であるダミー素子(使用素子と同一サイズ)を追加することにより、相対比の変更による修正が上記の修正のみで可能になる。また、ダミー素子の配置位置は周囲でなくてもよい。たとえば、図9に示すように、上下左右対称の配置にすれば、使用素子の間に、行もしくは列で配置しても同様の効果が得られる。なお、以上の各実施の形態では、本発明をMOS型のトランジスタに適用した場合について説明したが、この例に限らず、能動素子、受動素子であっても同様の効果が得られることは言うまでもない。

#### 【0024】

【発明の効果】以上のように本発明に係る半導体集積回路及びそのレイアウト方法によれば、相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置し、配線を含むレイアウトパターンをアレイするようにしたので、相対精度を維持したレイアウトパターンを短TATで設計することができる。

#### 【図面の簡単な説明】

【図1】本発明の半導体集積回路をカレントミラー回路に適用した場合を示す回路図である。

【図2】図1のカレントミラー回路のレイアウト方法を説明するためのフローチャートである。

【図3】図1のカレントミラー回路のレイアウト方法を説明するためのフローチャートである。

【図4】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図5】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図6】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図7】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図8】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図9】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図10】図2及び図3のレイアウト方法による素子の配置例を示す図である。

【図11】図2及び図3のレイアウト方法による素子の配置例を示す図である。

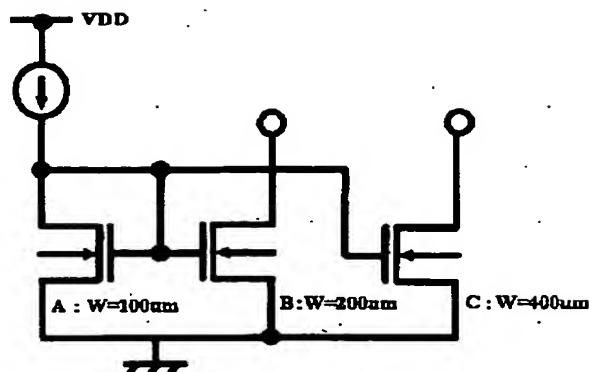
【図12】従来の半導体素子の配置例を示す図である。

【図13】従来の半導体素子の製造工程の一例を示す図である。

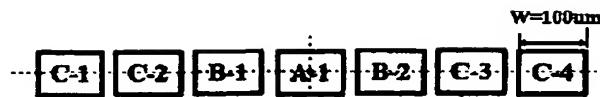
#### 【符号の説明】

A, B, C トランジスタ

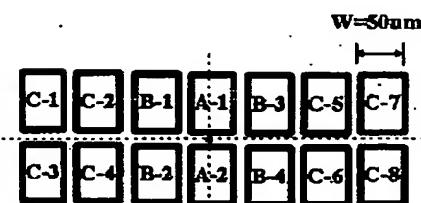
【図1】



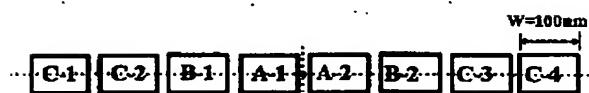
【図4】



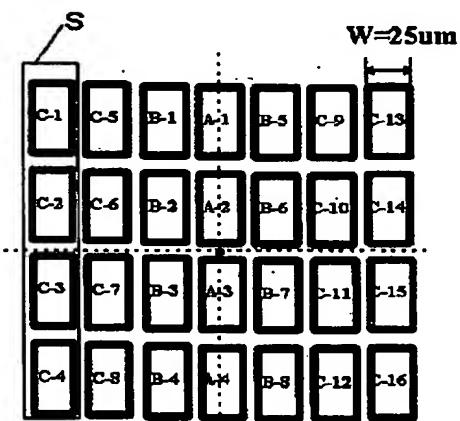
【図6】



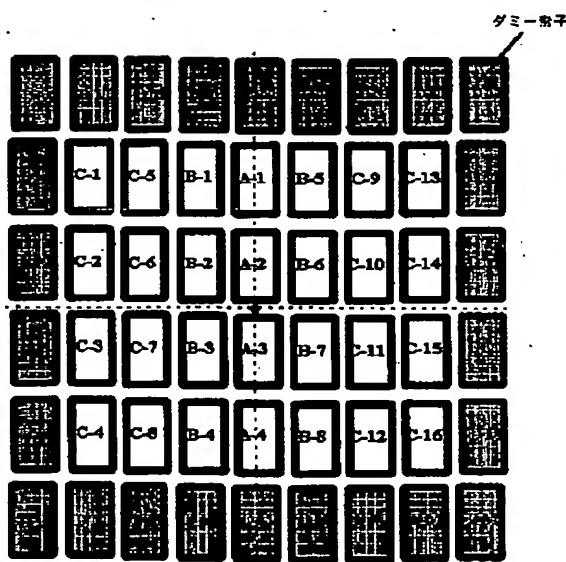
【図5】



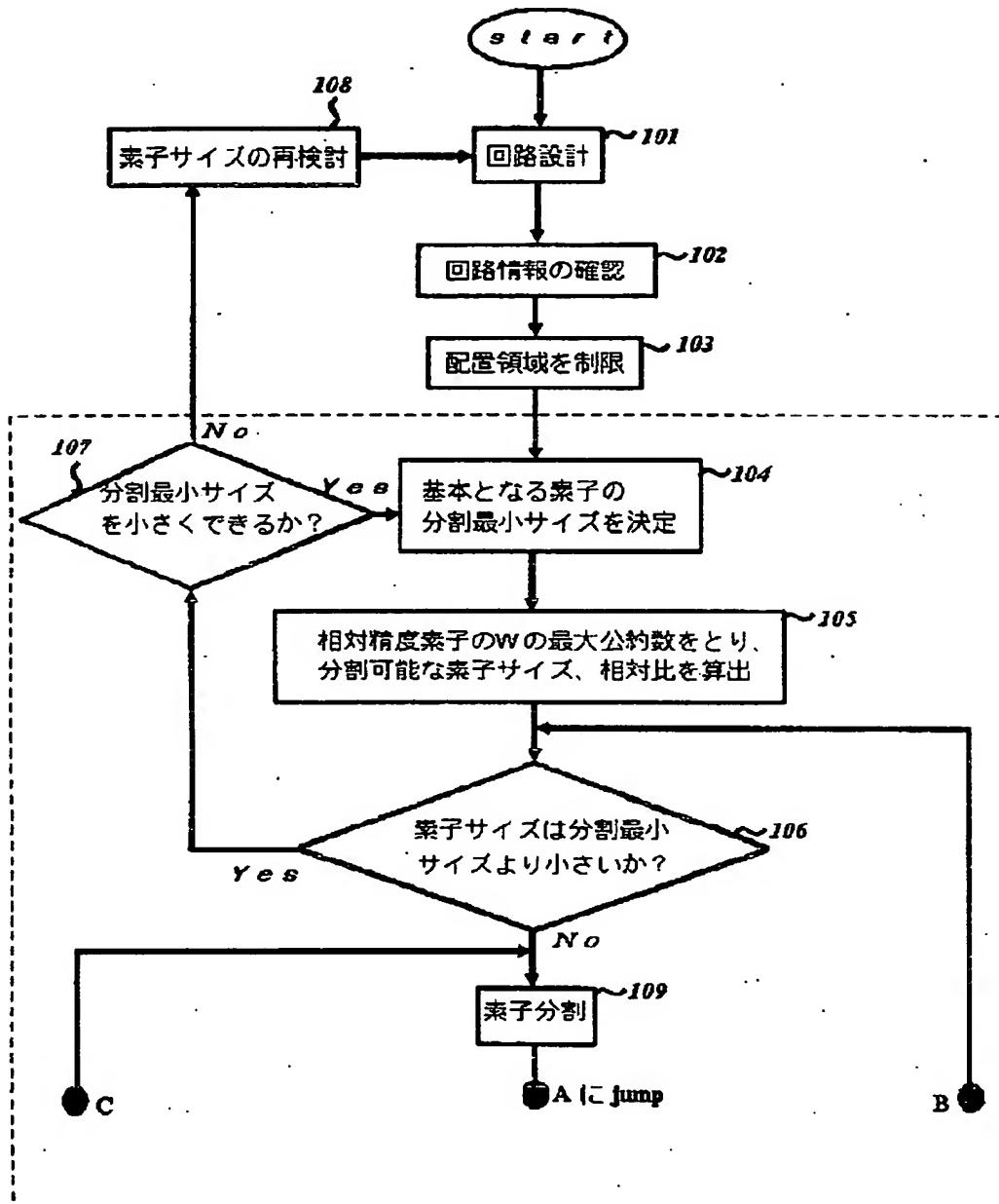
【図7】



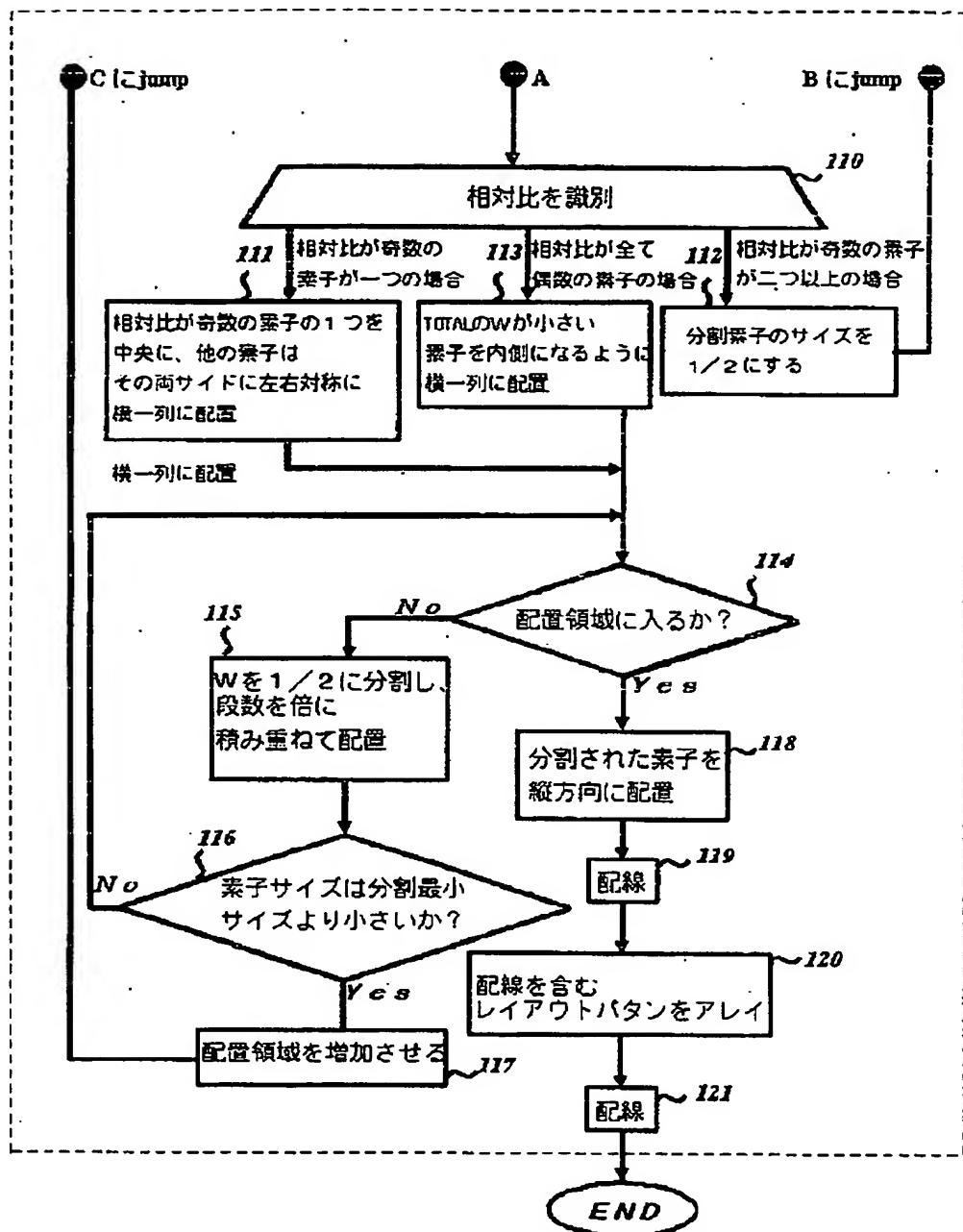
【図8】



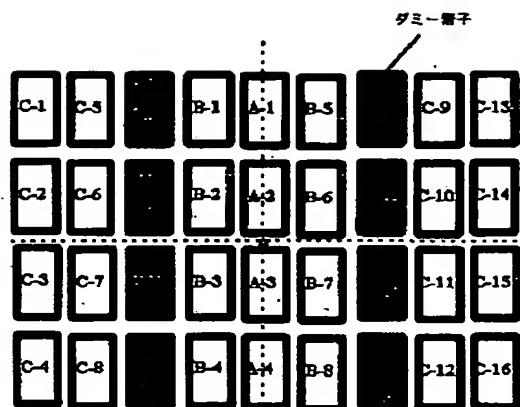
【図2】



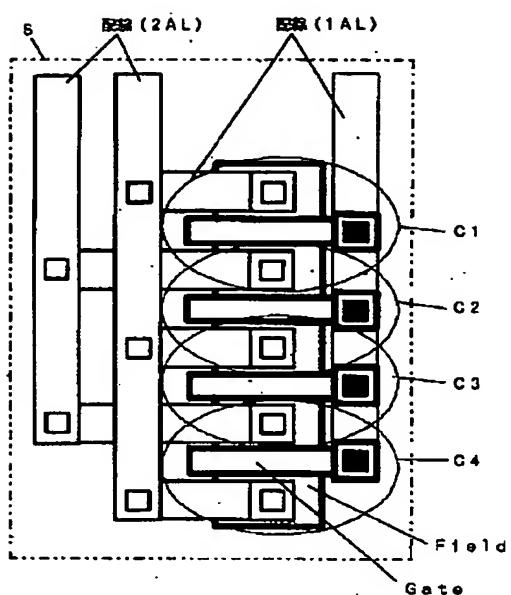
〔図3〕



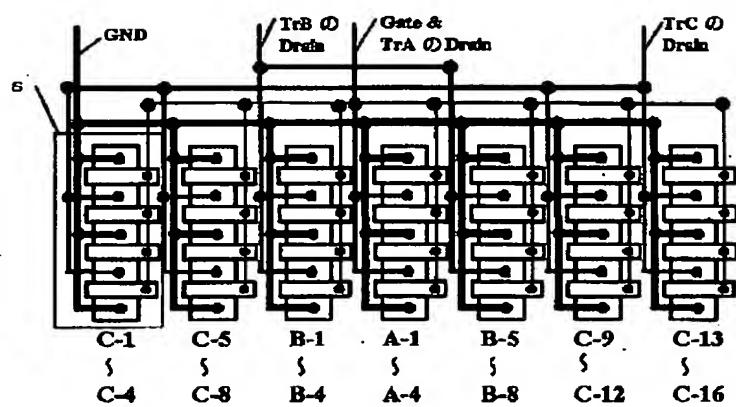
【図9】



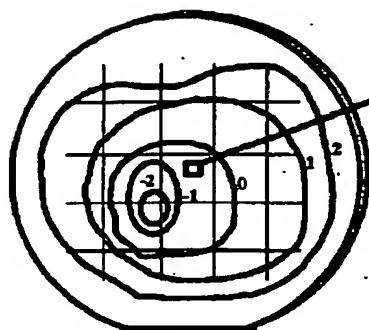
【図10】



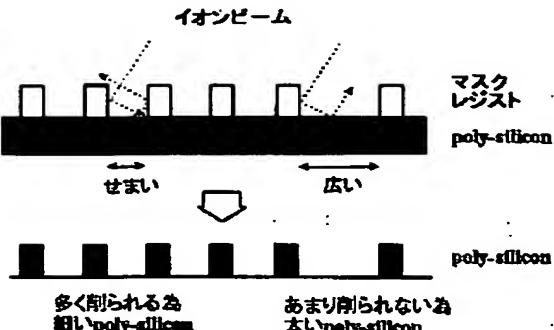
【図11】



【図12】



【図13】



## 【手続補正書】

【提出日】平成11年7月2日(1999.7.2)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

## 【特許請求の範囲】

【請求項1】 相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置してなる半導体集積回路であって、前記相対比が奇数となる素子が一つの場合、分割後的一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置してなることを特徴とする半導体集積回路。

【請求項2】 前記相対比が奇数となる素子が二つ以上の場合、分割素子のサイズを $1/2$ にして、前記分割後的一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置するか、あるいはトータルの幅の小さい素子が内側となるように横一列に配置してなることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 相対精度素子の最大分割サイズを算出する第1の工程と、制限した分割最小サイズとの比較を行う工程と、相対比を3つのケースに基づいて識別した後、分割素子を横一列に配置する第2の工程と、前記分割素子が配置領域内に入るか否かを判定する第3の工程と、前記分割素子が配置領域内に入らない場合、前記分割素子をさらに分割し、縦方向の段数を増やして配置する第4の工程と、同一となる配線を含むレイアウトパターンをブロック化してアレイした後、同一ノードの接続を行う第5の工程

とを備えることを特徴とする半導体集積回路のレイアウト方法。

【請求項4】 前記3つのケースとは、相対比が奇数となる素子が一つの場合、相対比が奇数となる素子が二つ以上の場合、相対比が全て偶数となる素子の場合であることを特徴とする請求項3に記載の半導体集積回路のレイアウト方法。

【請求項5】 前記第3の工程には、配置する素子の向きがどちらでも良い場合、一列に配置した素子群の向きを $90^\circ$ 回転して配置領域に入るか否か判定した後、素子の配置を行う工程が含まれることを特徴とする請求項3に記載の半導体集積回路のレイアウト方法。

【請求項6】 前記第5の工程には、レイアウトバターンを作成後、周囲に未使用である使用素子と同一サイズのダミー素子を追加する工程が含まれることを特徴とする請求項3に記載の半導体集積回路のレイアウト方法。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

## 【0008】

【課題を解決するための手段】請求項1に記載の半導体集積回路は、相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置してなる半導体集積回路であって、相対比が奇数となる素子が一つの場合、分割後的一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置してなることを特徴とする。また、相対比が奇数となる素子が二つ以上の場合、分割素子のサイズを $1/2$ にして、分割後的一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置するか、あるいはトータルの幅の小さい素子が内側とな

るよう横一列に配置してなるようにすることができる。請求項3に記載の半導体集積回路のレイアウト方法は、相対精度素子の最大分割サイズを算出する第1の工程と、制限した分割最小サイズとの比較を行う工程と、相対比を3つのケースに基づいて識別した後、分割素子を横一列に配置する第2の工程と、分割素子が配置領域内に入るか否かを判定する第3の工程と、分割素子が配置領域内に入らない場合、分割素子をさらに分割し、縦方向の段数を増やして配置する第4の工程と、同一となる配線を含むレイアウトパターンをプロック化してアレイした後、同一ノードの接続を行う第5の工程とを備えることを特徴とする。また、3つのケースとは、相対比が奇数となる素子が一つの場合、相対比が奇数となる素子が二つ以上の場合、相対比が全て偶数となる素子の場合であるようにすることができる。また、第3の工程には、配置する素子の向きがどちらでも良い場合、一列に配置した素子群の向きを90°回転して配置領域に入るか否か判定した後、素子の配置を行う工程が含まれるようにすることができる。また、第5の工程には、レイアウトパターンを作成後、周囲に未使用である使用素子と同一サイズのダミー素子を追加する工程が含まれるようにすることができる。本発明に係る半導体集積回路及びそのレイアウト方法においては、相対精度が必要な素子

を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置するに際し、相対比が奇数となる素子がたとえば一つの場合、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置することで、配線を含むレイアウトパターンをアレイする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】

【発明の効果】以上の如く本発明に係る半導体集積回路及びそのレイアウト方法によれば、相対精度が必要な素子を複数に分割し、これら分割した素子を、相対比に応じてある1点を中心に対称に配置するに際し、相対比が奇数となる素子がたとえば一つの場合、分割後の一つの素子のみを中央に配置し、他の素子はその両サイドに左右対称に横一列に配置することで、配線を含むレイアウトパターンをアレイするようにしたので、相対精度を維持したレイアウトパターンを短TATで設計することができる。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.